

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-118122
(P2002-118122A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
H 0 1 L 21/338		H 0 3 F 1/32	5 F 1 0 2
29/812		H 0 1 L 29/80	F 5 J 0 9 0
H 0 3 F 1/32			

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-307335 (P2000-307335)

(22) 出願日 平成12年10月6日 (2000. 10. 6)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 廣川 友明

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 新宮 善藏

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100096231

弁理士 稲垣 清

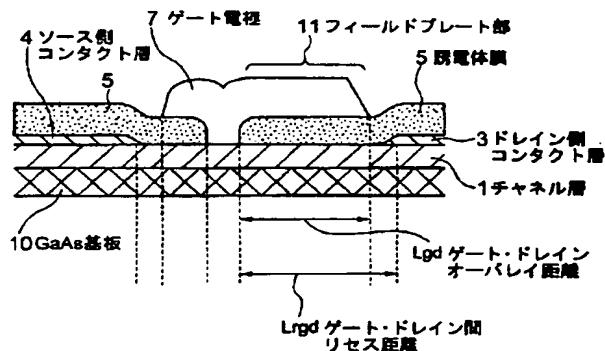
最終頁に続く

(54) 【発明の名称】 ショットキゲート電界効果トランジスタ

(57) 【要約】

【課題】 リターンロス値が低減し、且つ、耐圧が高く過大入力に対する歪みレベルが低減するショットキゲート電界効果トランジスタを提供する。

【解決手段】 電界効果型トランジスタは、チャンネル層1、ドレイン側コンタクト層3、ソース側コンタクト層4、誘電体膜5、及び、ゲート電極7を有する。ゲート電極7は、チャンネル層1とショットキ接合し、所定の底状のフィールドプレート部を有する。ゲート・ドレイン間リセス距離 L_{rgd} は、800 nm以上3000 nm以下に設計され、ゲート・ドレインオーバーレイ距離 L_{gd} は、 $L_{rgd} \pm 400$ nm以内に設計され、誘電体膜5の膜厚 t は、300 nm以上600 nm以下に設計される。



1

【特許請求の範囲】

【請求項1】 表面にチャネル層及びコンタクト層がこの順に形成された半絶縁性基板と、前記コンタクト層の一部を除去して形成されたリセス内において、前記チャネル層にショットキ接触し、且つ、底状のフィールドプレート部を有するゲート電極と、前記半導体基板上に前記ゲート電極と所定の位置関係で形成され、且つ、コンタクト層とオーミック接合されたソース電極及びドレイン電極とを備えるショットキゲート電界効果トランジスタにおいて、

前記フィールドプレート部と前記チャネル層との間に、膜厚が300nm以上のSiO₂膜から成る誘電体膜が設けられたことを特徴とする電界効果型トランジスタ。

【請求項2】 前記リセスのドレイン側の端部と前記ゲート電極のショットキコンタクト部との間の距離L_{rgd}が800nm以上3000nm以下であり、前記フィールドプレート部の長さL_{gd}がL_{rgd}±400nm以内である、請求項1に記載の電界効果型トランジスタ。

【請求項3】 前記誘電体膜の膜厚は、600nm以下である、請求項1又は2の何れかに記載の電界効果型トランジスタ。

【請求項4】 前記フィールドプレート部のドレイン側の端部が櫛歯形状を有する、請求項1～3の何れかに記載の電界効果型トランジスタ。

【請求項5】 前記チャネル層は、III-V族化合物半導体で形成される、請求項1～4の何れかに記載の電界効果型トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ショットキゲート電界効果トランジスタに関し、より詳細には、高周波大出力用のショットキゲート電界効果トランジスタに関するものである。

【0002】

【従来の技術】GaAsには、電子移動度がSiの5～6倍と高く、飽和ドリフト速度のピーク値がSiの約2倍であり、且つ、半絶縁性基板が得られるという長所がある。GaAsショットキゲート電界効果トランジスタは、これらの長所を生かしSiでは実現困難なマイクロ波帯の能動素子として、電子管に置き換わりながら発展しており、最近、特に高出力化や高周波数化に対する要求が強くなってきている。

【0003】ショットキゲート電界効果トランジスタの基本構造は、半絶縁性GaAs基板上に形成された薄いチャネル層上に、オーミック接触するソース電極及びドレイン電極が配置され、ショットキ接触するゲート電極が配置される。ゲート電極がチャネル層とショットキ接触することにより、直下の半導体層中に空乏層が広がっている。従来のショットキゲート電界効果型トランジスタは、ゲート電極とドレイン電極とが逆バイアスされる

2

と、ゲート電極のドレイン側の付近に電界が集中し、破壊の原因になった。このため以前から、ゲート電極に底部（以下、フィールドプレート部と呼ぶ）を設け、ゲート電極の下部にSiO₂から成る誘電体膜を形成し、電界の集中を抑える技術が記載されている（例えば、特開昭63-87773号公報や特開2000-100831号公報）。

【0004】図7は、特開2000-100831号公報に記載のショットキゲート電界効果トランジスタの断面図である。ショットキゲート電界効果トランジスタは、コンタクト層63の一部を除去し、ゲート電極65を配置するリセス構造を有する。ゲート電極65は、フィールドプレート部69を有し、このフィールドプレート部69を誘電体膜64上に配置する。上記公報には、比誘電率を ϵ とし、誘電体膜64の膜厚を t とすると、下記に示す条件式を満足することで、耐圧特性が良好になると記載されている。

$$【0005】 1 < \epsilon < 5 \quad \dots (1)$$

$$25 < t / \epsilon < 70 \quad \dots (2)$$

【0006】誘電体膜64の材料としてSiO₂を採用し、SiO₂の比誘電率 ϵ を3.9程度にすると、SiO₂による誘電体膜64の膜厚 t は、式(1)及び式(2)より、 $97.5 \text{ nm} < t < 273 \text{ nm}$ と求められる。

【0007】

【発明が解決しようとする課題】上記従来のショットキゲート電界効果トランジスタでは、充分な耐圧特性を得るために、SiO₂による誘電体膜64の膜厚 t を200nmにする記載はあるが、この膜厚 t との関係で決定されるフィールドプレート部の詳細な形状についての記載がない。

【0008】誘電体膜64の膜厚が異なる2つのショットキゲート電界効果トランジスタを用いたマイクロ波通信用広帯域アンプについて、増幅器の利得低下を示すリターンロス値を800MHzで測定すると、膜厚が200nmで-15dBあり、膜厚が400nmで-18dBある。

【0009】フィールドプレート部69とチャネル層62との間には、誘電体膜64の膜厚 t に反比例する寄生容量が存在する。特に、従来のショットキゲート電界効果トランジスタを用いるアンプでは、この寄生容量が大きいと、ミラー効果等の影響により、利得が低下する。しかし、ショットキゲート電界効果トランジスタは、膜厚を200nm以上にすると、耐圧特性を良好にする電界緩和作用が低下する。

【0010】また、電界緩和作用が低下すると、RF過入力時にドレイン側の半導体界面上に電荷が残り、過大入力に対する歪みレベルが増大し、大振幅動作を要する高出力型の電界効果型トランジスタでは、特に大きな問題となる。

3

【0011】本発明は、上記したような従来の技術が有する問題点を解決するためになされたものであり、リターンロス値が低減し、且つ、耐圧が高く過大入力に対する歪みレベルが低減するショットキゲート電界効果トランジスタを提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のショットキゲート電界効果トランジスタは、表面にチャンネル層及びコンタクト層がこの順に形成された半絶縁性基板と、前記コンタクト層の一部を除去してリセスを形成し、前記チャンネル層に接合位置でショットキ接触し、且つ、所定の底状のフィールドプレート部を有するゲート電極と、前記半導体基板上に前記ゲート電極に対して、離間して形成され、且つ、コンタクト層とオーミック接合されたソース電極及びドレイン電極とを備え、前記ゲート電極は、底状のフィールドプレート部を有し、該フィールドプレート部と前記チャンネル層との間に、膜厚が300nm以上のSiO₂膜から成る誘電体膜が設けられたことを特徴とする。

【0013】本発明のショットキゲート電界効果トランジスタは、所定の膜厚の誘電体膜を有し、寄生容量が削減されるので、リターンロス値が低減し、且つ、最適なリセス構造のゲート電極を有することにより、電界緩和作用が最適に働くので、耐圧が高く過大入力に対する歪みレベルが低減する。

【0014】本発明のショットキゲート電界効果トランジスタでは、前記リセスのドレイン側端部と前記ゲート電極のショットキコンタクト部との間の距離であるゲート・ドレイン間リセス距離Lrgdが800nm以上3000nm以下であり、前記底状のフィールドプレート部の長さであるゲート・ドレインオーバーレイ距離LgdがLrgd±400nm以内であること、或いは、前記誘電体膜の膜厚は、600nm以下であることが好ましい。この場合、電界緩和作用が有効に働く最適なリセス構造のゲート電極を設計できる。

【0015】前記フィールドプレート部のドレイン側の端部が櫛歯形状を有し、且つ、該櫛歯形状の端部の一端が前記コンタクト層のドレイン側リセスに掛かることも本発明の好ましい態様である。この場合、ゲート電極は、誘電体膜を介してチャンネル層と対向する面積がゲート側からドレイン側に向かって、実質的に小さくなるので、更に寄生容量を低減できる。

【0016】本発明のショットキゲート電界効果トランジスタは、前記チャンネル層がIII-V族化合物半導体で形成されることができる。

【0017】

【発明の実施の形態】以下、本発明の実施形態例に基づいて、本発明のショットキゲート電界効果トランジスタについて図面を参照して説明する。図1は、本発明の第1実施形態例のショットキゲート電界効果トランジスタ

4

の断面図である。ショットキゲート電界効果トランジスタは、GaAs基板10、チャンネル層1、ドレイン側コンタクト層3、ソース側コンタクト層4、誘電体膜5、及び、ゲート電極7を有する。

【0018】チャンネル層1は、GaAs基板10上に形成され、ドレイン側コンタクト層3及びソース側コンタクト層4は、チャンネル層1上に形成されている。誘電体膜5は、ドレイン側コンタクト層3及びソース側コンタクト層4を含む表面上に形成されている。ゲート電極7は、ドレイン側コンタクト層3とソース側コンタクト層4の間にある、コンタクト層を除去したリセスの位置に形成され、底状のフィールドプレート部11を有する。ゲート電極7は、誘電体膜5に形成されたスルーホールを介して、チャンネル層1とショットキ接触する。

【0019】ゲート・ドレイン間リセス距離Lrgdは、リセスのドレイン側端部とゲート電極7のショットキコンタクト部との間の距離であり、800nm以上3000nm以下に設計される。ゲート・ドレインオーバーレイ距離Lgdは、フィールドプレート部11の長さであり、Lrgd±400nm以内に設計される。

【0020】図2は、図1のショットキゲート電界効果トランジスタの製造方法を示す。図2(a)に示すように、MBE法を用いて半絶縁性のGaAs基板10上に、Siを $2 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsのチャンネル層1を厚さ25nmで成長させ、Siを $5 \times 10^{17} \text{ cm}^{-3}$ ドープしたN型GaAsのコンタクト層2を厚さ150nmで成長させる。

【0021】図2(b)に示すように、図示しないレジストをマスクとして塩素系のガスを用いて、コンタクト層2をエッチングしリセスを形成することにより、ドレイン側コンタクト層3及びソース側コンタクト層4を形成する。次にCVD法により、SiO₂から成る誘電体膜5を厚さ400nmで全面に堆積する。

【0022】図2(c)に示すように、誘電体膜5上に図示しないレジストをマスクとして形成し、ゲート電極7を形成する電極形成箇所誘電体膜5をCHF₃又はSF₆を用いてドライエッチングする。

【0023】図2(d)に示すように、誘電体膜5をマスクとして、チャンネル層1の電極形成箇所を深さ5nm程度にエッチングする。次に、電極形成箇所を含む領域の表面に、厚さ200nmのWSi膜、及び、厚さ400nmのAu膜をこの順でスパッタ蒸着し、金属膜6を形成する。

【0024】図2(e)に示すように、ゲート電極形成箇所のみフォトリソグラフィを設け、イオンミリングにより不要箇所を除去してゲート電極7を形成する。

【0025】その後、誘電体膜3の所定箇所をエッチングしてドレイン側コンタクト層3及びソース側コンタクト層4を夫々露出させ、厚さ8nmのNi膜、厚さ50nmのAuGe膜、厚さ250nmのAu膜をこの順で真

5

空蒸着し、図示しないドレイン電極及びソース電極を形成し、電界効果型トランジスタを完成する。

【0026】図3は、ゲート・ドレインオーバーレイ距離 L_{gd} に対する正規化した容量値の特性図である。実線は、誘電体膜5の膜厚 t が200nmの場合を示し、破線は、誘電体膜5の膜厚 t が400nmの場合を示す。

【0027】正規化した容量値は、 n +層上においては平行平板容量として計算され、 n 層上においては抵抗比*

$$(\text{容量値}) = \epsilon_0 \times \epsilon_s \times (\text{正規化した容量値}) \cdots (3)$$

【0029】ゲート・ドレインオーバーレイ距離 L_{gd} が1200nmについて着目すると、膜厚 t が200nmの正規化した容量値は、膜厚 t が400nmの正規化した容量値に比して、約1.8倍大きい。誘電体膜5の膜厚 t を大きくすること、又は、ゲート・ドレインオーバーレイ距離 L_{gd} を小さくすることにより、ショットキゲート電界効果トランジスタの寄生容量は減少する。

【0030】図4は、ショットキゲート電界効果トランジスタが採用されたマイクロ波通信用広帯域アンプの入力信号レベルに対する歪みレベルの特性図である。マイクロ波通信用広帯域アンプは、ゲート・ドレインオーバーレイ距離 L_{gd} が異なる2つのショットキゲート電界効果トランジスタが採用される。-5dBVから+10dBVまで変化する入力信号レベルをマイクロ波通信用広帯域アンプに与えて、歪みレベルを測定する。

【0031】2つのショットキゲート電界効果トランジスタのゲート・ドレイン間リセス距離 L_{rgd} は、1100nmである。実線は、ゲート・ドレインオーバーレイ距離 L_{gd} が400nmの場合を示し、破線は、ゲート・ドレインオーバーレイ距離 L_{gd} が1300nmの場合を示す。

【0032】ゲート・ドレインオーバーレイ距離 L_{gd} が400nmの場合、歪レベルは、入力信号レベルが過大入力になる+5dBV付近で急に大きくなり、その後増加を続ける。入力信号レベルが+10dBVの歪レベルは、入力信号レベルが-5dBVの歪レベルに比して、3.5dB程度大きく劣化する。

【0033】ゲート・ドレインオーバーレイ距離 L_{gd} が1300nmの場合、歪レベルは、入力信号レベルに殆ど依存せず一定であり、劣化しない。ゲート・ドレインオーバーレイ距離 L_{gd} を大きくすることにより、歪みレベルが低減する。

【0034】図5は、ショットキゲート電界効果トランジスタにおける正規化した容量値に対するリターンロス値の依存性を示す。ゲート・ドレインオーバーレイ距離 L_{gd} 又は膜厚 t が相互に異なるショットキゲート電界効果トランジスタに対する3つの測定結果a~cが示される。

【0035】測定結果aは、ゲート・ドレインオーバーレイ距離 L_{gd} が1300nm、且つ、膜厚 t が200nmの場合であり、測定結果bは、ゲート・ドレインオー

6

*による容量、及び、フリンジング容量を考慮して計算される。正規化した容量値は、ショットキゲート電界効果トランジスタの寄生容量を示すものであり、真空誘電率($8.854 \times 10^{-6} [\text{pF}/\mu\text{m}]$)を ϵ_0 とし、絶縁層の比誘電率を ϵ_s とすると、下記に示す式(3)を用いて、単位をpFとする容量値に換算される。なお、 ϵ_s は SiO_2 の場合に3.9である。

【0028】

オーバーレイ距離 L_{gd} が1300nm、且つ、膜厚 t が400nmの場合であり、測定結果cは、ゲート・ドレインオーバーレイ距離 L_{gd} が400nm、且つ、膜厚 t が400nmの場合である。

【0036】測定結果aから測定結果bへの移動過程に示されるように、ゲート・ドレインオーバーレイ距離 L_{gd} を一定にし、膜厚 t を200nmから400nmへ2倍程度に大きくすると、リターンロス値は2dB小さくなる。

【0037】測定結果bから測定結果cへの移動過程に示されるように、膜厚 t を一定にし、ゲート・ドレインオーバーレイ距離 L_{gd} を1300nmから400nmへ4/13程度に小さくすると、リターンロス値は1dB小さくなる。

【0038】リターンロス値の低減には、変化前に対する変化後の比率で比較すると、ゲート・ドレインオーバーレイ距離 L_{gd} による影響に比して、膜厚 t による影響が大きい。

【0039】電界効果型トランジスタは、ゲート・ドレイン間リセス距離 L_{rgd} が800nm以上3000nm以下に設計され、ゲート・ドレインオーバーレイ距離 L_{gd} が $L_{rgd} \pm 400 \text{ nm}$ 以内に設計され、誘電体膜5の膜厚 t が300nm以上600nm以下に設計される。この場合、従来に比して、ゲート・ドレインオーバーレイ距離 L_{gd} を大きくしても、膜厚 t を小さくできるので、電界緩和作用が有効に働く最適なリセス構造のゲート電極を設計できる。

【0040】フィールドプレート部、チャネル層1、及び、挟まれた誘電体膜5で形成される単位面積当りの静電容量は、フィールドプレート部のゲート側に比して、ドレイン側の電界集中を緩やかに分散し、理想的な電界分布にすることにより、電界緩和作用が効果的に働く。この静電容量は、イオン化したドナーを起点とする電気力線を終端させる作用を有することにより、過大なRF信号の入力時にドレイン側の半導体界面上に電荷が残ることを抑制するので、過大入力に対する歪みレベルが低下する。

【0041】上記実施形態例によれば、所定の膜厚の誘電体膜を有し、寄生容量が削減されるので、リターンロス値が低減し、且つ、最適なリセス構造のゲート電極を有することにより、電界緩和作用が最適に働くので、耐

圧が高く過大入力に対する歪みレベルが低減する。

【0042】図6は、本発明の第2実施形態例のショットキゲート電界効果トランジスタの構造を示す。本実施形態例は、ゲート電極7の形状が先の実施形態例と異なる。同図(a)は、ショットキゲート電界効果トランジスタの断面図であり、ショットキゲート電界効果トランジスタの断面構造は、図1と同様である。

【0043】同図(b)は、ショットキゲート電界効果トランジスタを構成する各層の接合面の境界線a~fを示す。左から順に、チャンネル層1とソース側コンタクト層4と誘電体膜5の境界線a、誘電体膜5とゲート電極7の境界線b、チャンネル層1とソース側の誘電体膜5とゲート電極7の境界線c、チャンネル層1とドレイン側の誘電体膜5とゲート電極7の境界線d、ドレイン側の誘電体膜5とゲート電極7の境界線e、チャンネル層1とドレイン側コンタクト層3と誘電体膜5の境界線fである。

【0044】周知のエッチング技術等を用いて、境界線eに示すように、ゲート電極7のドレイン側端部を櫛歯形状に加工する。ゲート電極7は、誘電体膜5を介してチャンネル層1と対向する面積がゲート側からドレイン側に向かって、実質的に小さくなる。

【0045】平行電極の静電容量Cは、誘電率を ϵ とし、電極面積をS、電極間距離をdにすると、下記のよう示される。

$$【0046】C = \epsilon S / d \quad \dots (4)$$

【0047】式(4)に示すように、誘電率 ϵ 及び電極間距離dが一定であり、ゲート側からドレイン側に向かって、静電容量Cが実質的に小さくなる。

【0048】マイクロ波通信用広帯域アンプとして、ゲート電極7が櫛歯形状を有するか又は有しない条件を変更した2つのショットキゲート電界効果トランジスタを採用し、800MHzのリターンロス値に対する測定結果を比較する。櫛歯形状を有するゲート電極7のショットキゲート電界効果トランジスタは、櫛歯形状を有しないゲート電極7のショットキゲート電界効果トランジスタに比して、寄生容量が減少するので、リターンロス値が0.5dB程小さく劣化が少ない。

【0049】上記実施形態例によれば、ゲート電極は、誘電体膜を介してチャンネル層と対向する面積がゲート側からドレイン側に向かって、実質的に小さくなるので、更に寄生容量を低減できる。

【0050】なお、上記実施形態例ではチャンネル層1及びコンタクト層2をMBE法により形成しているが、MOCVD法により形成することもできる。また、上記実施形態例のリセス構造を、多段リセスとすることもできる。

【0051】以上、本発明をその好適な実施形態例に基

づいて説明したが、本発明のショットキゲート電界効果トランジスタは、上記実施形態例の構成にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施したショットキゲート電界効果トランジスタも、本発明の範囲に含まれる。

【0052】

【発明の効果】以上説明したように、本発明のショットキゲート電界効果トランジスタでは、所定の膜厚の誘電体膜を有し、寄生容量が削減されるので、リターンロス値が低減し、且つ、最適ナリセス構造のゲート電極を有することにより、電界緩和作用が最適に働くので、耐圧が高く過大入力に対する歪みレベルが低減する。

【0053】また、ゲート電極は、誘電体膜を介してチャンネル層と対向する面積がゲート側からドレイン側に向かって、実質的に小さくなるので、更に寄生容量を低減できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例のショットキゲート電界効果トランジスタの断面図である。

【図2】図1のショットキゲート電界効果トランジスタの製造方法を示す。

【図3】ゲート・ドレインオーバーレイ距離Lgdに対する正規化した容量値の特性図である。

【図4】ショットキゲート電界効果トランジスタが採用されたマイクロ波通信用広帯域アンプの入力信号レベルに対する歪みレベルの特性図である。

【図5】ショットキゲート電界効果トランジスタにおける正規化した容量値に対するリターンロス値の依存性を示す。

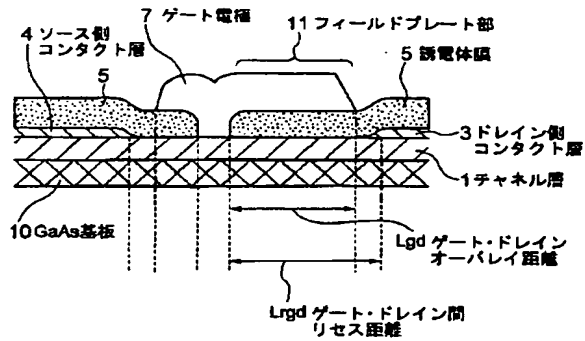
【図6】本発明の第2実施形態例のショットキゲート電界効果トランジスタの構造を示す。

【図7】特開2000-100831号公報に記載のショットキゲート電界効果トランジスタの断面図である。

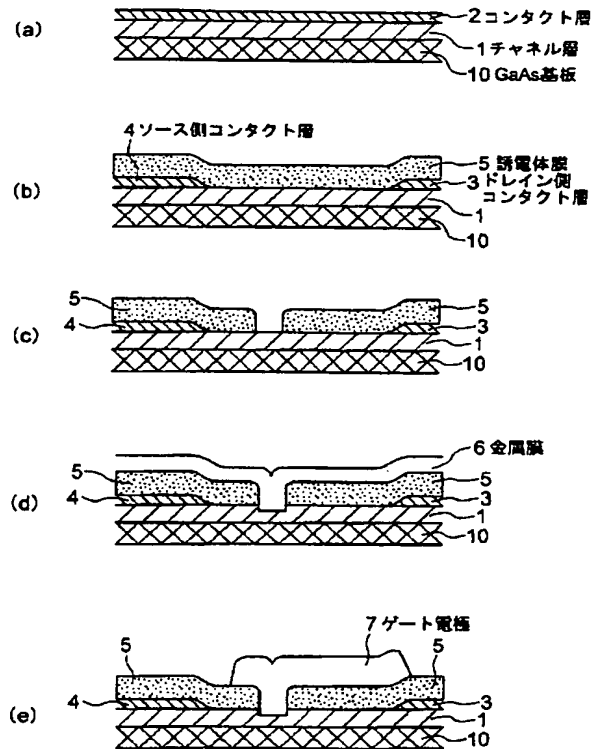
【符号の説明】

- 1、62 チャンネル層
- 2、63 コンタクト層
- 3 ドレイン側コンタクト層
- 4 ソース側コンタクト層
- 5、64 誘電体膜
- 6 金属膜
- 7、65 ゲート電極
- 10、61 GaAs基板
- 11、69 フィールドプレート部
- 67 ソース電極
- 68 ドレイン電極
- Lgd ゲート・ドレインオーバーレイ距離
- Lrgd ゲート・ドレイン間リセス距離
- t 誘電体膜の膜厚

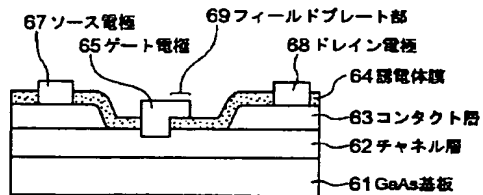
【図1】



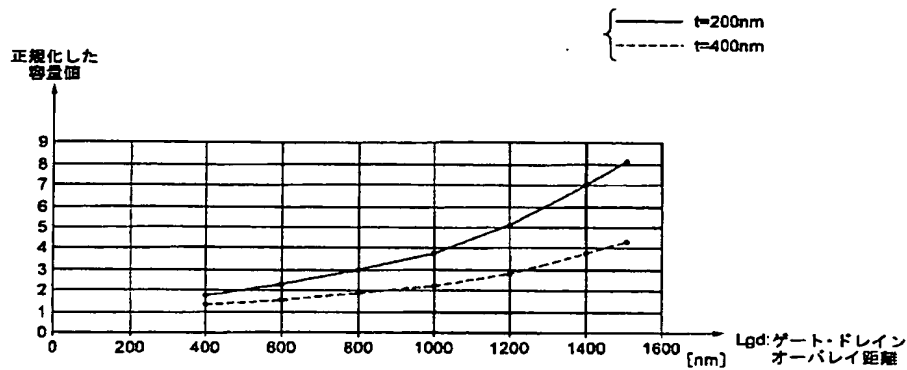
【図2】



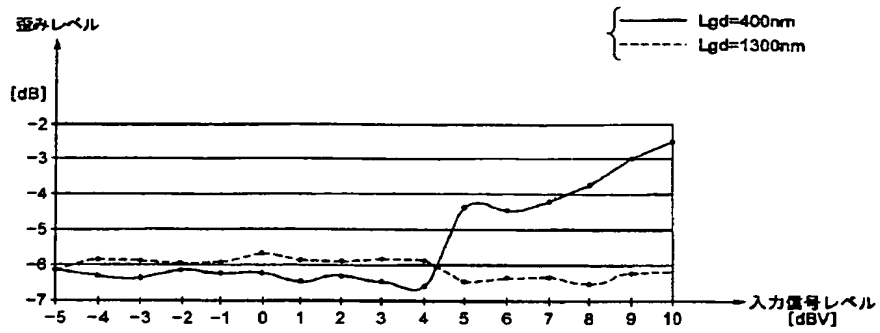
【図7】



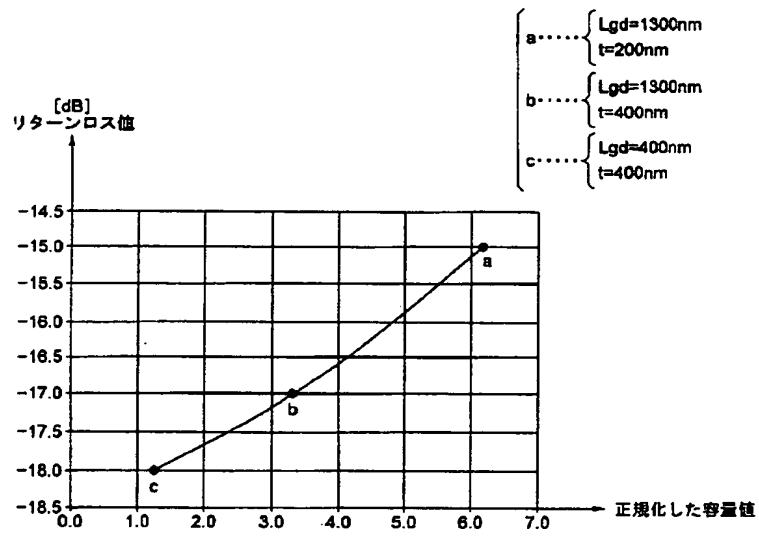
【図3】



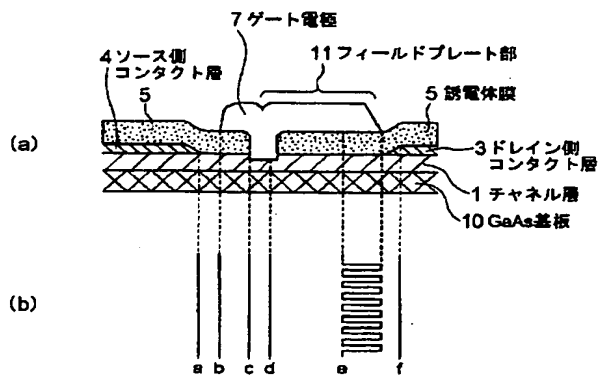
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 齊藤 茂
東京都港区芝五丁目7番1号 日本電気株
式会社内

F ターム(参考) 5F102 FA00 FA01 GB01 GC01 GD01
GJ05 GL05 GN05 GR04 GR09
GR11 GR12 GS06 GS09 GT05
HC01
5J090 AA04 AA41 CA18 CA21 FA16
GN09 HA11 HA16 QA02 SA13
TA02